

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-157766

(43)Date of publication of application : 29.05.1992

(51)Int.Cl.

H01L 29/784
H01L 21/265
H01L 21/266
H01L 27/092

(21)Application number : 02-282798

(71)Applicant : SONY CORP

(22)Date of filing : 20.10.1990

(72)Inventor : CHISHIMA KENJI

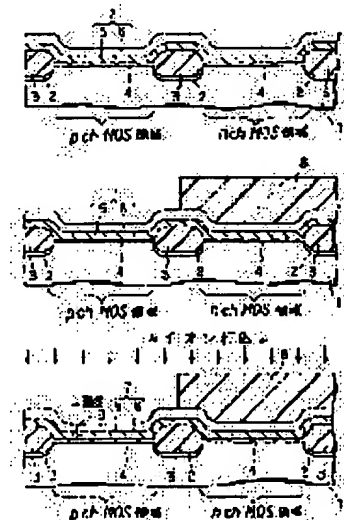
(54) MANUFACTURE OF SILICON GATE P-CHANNEL MOS SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To nitride lower part of a silicon gate electrode and to suppress punchthrough of boron by forming a silicon gate electrode, and then ion implanting nitrogen N so that a peak of a concentration distribution in a depth direction occurs at the lower part of the electrode.

CONSTITUTION: After a channel stopper 2, a selective oxide film 3 and a gate oxide film 4 are formed on a substrate 1, a polyside film 7 made of a p-type polysilicon film 5 and a tungsten (or molybdenum) silicide film 6 is formed. Then, an n-channel MOSFET forming region is masked with a resist film 8. Then, nitrogen ions N⁺ are implanted so that a peak of concentration distribution in a depth direction occurs at the lower part of the film 5 through the tungsten (or molybdenum) silicide film 7. Then, manufacture is continued by the same method as a conventional manufacture of a MOS semiconductor device.

Unnecessary ion implantation of the nitrogen N to an n-channel MOSFET region can be prevented by forming the film 8 as a mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

94 15945

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-157766

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月29日

H 01 L 29/784
21/265
21/266
27/092

8422-4M H 01 L 29/78 3 0 1 G
7738-4M 21/265 M
7738-4M G
7735-4M 27/08 3 2 1 D

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 シリコンゲートpチャネルMOS半導体装置の製造方法

⑯ 特 願 平2-282798

⑰ 出 願 平2(1990)10月20日

⑱ 発 明 者 千 島 健 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 尾川 秀昭

明 細 書

1. 発明の名称

シリコンゲートpチャネルMOS半導体装置
の製造方法

2. 特許請求の範囲

(1) 半導体基板表面上のシリコン酸化物からなるゲート絶縁膜上にシリコンゲート電極を形成した後、窒素を、深さ方向の濃度分布のピークがシリコンゲート電極の下部にくるようにイオン打込みする工程を有する

ことを特徴とするシリコンゲートpチャネルMOS半導体装置の製造方法

3. 発明の詳細な説明

以下の順序に従って本発明を説明する。

A. 産業上の利用分野

B. 発明の概要

C. 従来技術

D. 発明が解決しようとする問題点

E. 問題点を解決するための手段

F. 作用

G. 実施例【第1図】

H. 発明の効果

(A. 産業上の利用分野)

本発明はシリコンゲートpチャネルMOS半導体装置の製造方法、特にゲート電極がp型のポリシリコンからなるpチャネルMOS半導体装置の製造方法に関する。

(B. 発明の概要)

本発明は、上記のシリコンゲートpチャネルMOS半導体装置の製造方法において、

拡散層の活性化等のための熱処理によりp型シリコンゲート電極中のボロンBがゲート絶縁膜を突き抜けて半導体基板表面に拡散するのを防止するため、

シリコンゲート電極形成後シリコンゲート電極

に、その下部に深さ方向の濃度分布のピークがくるように窒素Nをイオン打込みするものである。

(C. 従来技術)

PチャンネルのシリコンゲートMOS半導体装置は、一般にゲート絶縁膜形成後ポリシリコン膜を形成し、これをパターニングすることによりシリコンゲート電極を形成し、しかる後、シリコンゲート電極をマスクとしてあるいはシリコンゲート電極とその側面に形成したサイドウォールをマスクとして半導体基板の表面部にボロンBをイオン打込みすることによりソース・ドレイン領域を形成する。その際に、シリコンゲート電極中にもボロンBがドーブされる。尤も、シリコンゲート電極となるポリシリコン膜の形成後パターニング前に該ポリシリコン膜中にボロンをイオン打込みする場合もある。

ところで、ゲート電極がp型のポリシリコンからなるPチャンネルMOS半導体装置においては、拡散層の活性化、層間絶縁膜の平坦化等の熱

処理によりシリコンゲート電極中のボロンが半導体基板側に突き抜け、そのため、カットオフ特性が悪くなり、また、しきい値電圧が変動したりする。このことは1990年春季応用物理学会予稿集第568頁28p-ZB-6「窒化酸化ゲート絶縁膜を用いたPMOSFETにおけるボロンの突き抜け抑制効果」にも紹介されている。そして、その対策としてゲート絶縁膜形成後(ゲート酸化後)、該ゲート絶縁膜を窒化することが提案され、そして、実際にボロンの突き抜けを抑制する効果があることが報告されている。

(D. 発明が解決しようとする問題点)

ところで、上記ボロン突き抜け防止技術によれば、ゲート酸化後NH₃雰囲気中でランプ酸化し、O₂雰囲気中でランプ酸化するという面倒な工程を必要とした。

また、CMOSICの場合において同じ半導体基板の別のところに形成されるnチャンネルMOSFETについては、シリコンゲート電極が

ら半導体基板への不純物の突き抜けという問題が全くないのにゲート絶縁膜が窒化されその結果その誘電率が大きくなってゲート容量が増大してしまうという問題があった。

本発明はこのような問題点を解決すべく為されたものであり、拡散層の活性化等のための熱処理によりp型シリコンゲート電極中のボロンがゲート絶縁膜を突き抜けて半導体基板表面に拡散するのを防止することを目的とする。

(E. 問題点を解決するための手段)

本発明シリコンゲートpチャンネルMOS半導体装置の製造方法は上記問題点を解決するため、シリコンゲート電極形成後該シリコンゲート電極の下部に深さ方向の濃度分布のピークがくるように窒素Nをイオン打込みすることを特徴とする。

(F. 作用)

本発明シリコンゲートpチャンネルMOS半導体装置の製造方法によれば、シリコンゲート電極

形成後単に窒素Nのイオン打込み工程を付加するだけで、その後の活性化等のための熱処理の工程で自ずと窒素Nの働きによりボロンBの突き抜けが抑制される。

そして、nチャンネルMOSFET形成部のゲート絶縁膜が窒化される虞れは、イオン打込みの際nチャンネルMOSFET形成部をレジスト膜でマスクすることにより容易に回避し得る。

(G. 実施例) [第1図]

以下、本発明シリコンゲートpチャンネルMOS半導体装置の製造方法を図示実施例に従って詳細に説明する。

第1図(A)乃至(C)は本発明シリコンゲートpチャンネルMOS半導体装置の製造方法の一つの実施例を二工程に示す断面図である。

(A)基板1に、チャンネルストップ2、選択酸化膜3、ゲート酸化膜4を形成した後、p型のポリシリコン膜5及びタングステン(あるいはモリブデン)シリサイド膜6からなるポリサイド膜

7を形成する。

(B) 次に、nチャンネルMOSFET形成領域をレジスト膜8でマスクする。というのは、nチャンネルMOSFETにおいては窒素Nのドーブにより不純物(例えばリンPあるいは砒素As)の突き抜け抑制効果を得ることは出来ないし、それによってゲート容量の増加という弊害のみ生じるからnチャンネルMOSFET領域への窒素Nのドーブを阻むためである。

(C) その後、タングステン(あるいはモリブデン)シリサイド膜7越しにポリシリコン膜5の下部に深さ方向の濃度分布のピークが来るように窒素イオンN⁺をイオン打込みする。9は窒素Nの深さ方向の濃度分布曲線である。

その後は、普通のMOS半導体装置の製造方法と同じ方法で製造を終ける。

本方法によれば、単に窒素Nをイオン打込みするだけでその後のアニールによりポリシリコン膜7の下部が窒化されるのでp⁺型ポリシリコン5中のボロンBが半導体基板1に突き抜けるのを

そして、nチャンネルMOSFET形成部のゲート絶縁膜が窒化される虞れはイオン打込みの際nチャンネルMOSFET形成部をレジスト膜でマスクすることにより容易に回避し得る。

4. 図面の簡単な説明

第1図(A)乃至(C)は本発明シリコンゲートpチャンネルMOS半導体装置の製造方法の一つの実施例を工程順に示す断面図である。

符号の説明

- 1・・・半導体基板、
- 4・・・ゲート絶縁膜、
- 5・・・p型シリコンゲート電極。

出 願 人 ソニー株式会社
代理人井理士 尾 川 秀 昭



その窒化物によって抑制することができる。

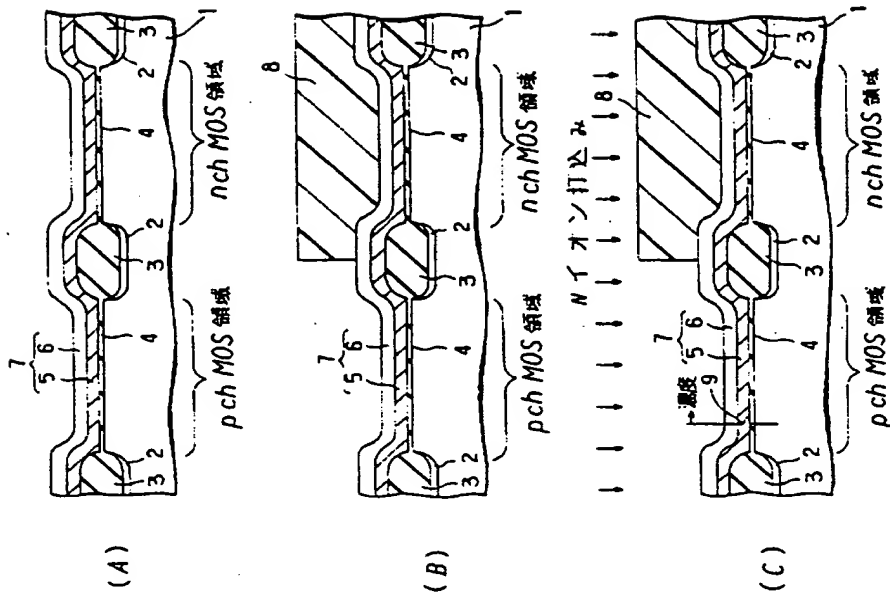
そして、nチャンネルMOSFET領域への窒素Nの不要なイオン打込みはレジスト膜8をマスクとして形成することにより阻むことができる。

(H. 発明の効果)

以上に述べたように、本発明シリコンゲートpチャンネルMOS半導体装置の製造方法は、半導体基板表面上のシリコン酸化物からなるゲート絶縁膜上にシリコンゲート電極を形成した後、窒素を深さ方向の濃度分布のピークがシリコンゲート電極の下部にくるようにイオン打込みする工程を有することを特徴とするものである。

従って、本発明シリコンゲートpチャンネルMOS半導体装置の製造方法によれば、シリコンゲート電極形成後単に窒素のイオン打込み工程を付加することのみにより、その後の活性化のため等の熱処理の工程でおのずとシリコンゲート電極の下部が窒化されてボロンの突き抜けを抑制される。

1... 半導体基板
4... ゲート絶縁膜
5... p型シリコンゲート電極



実施例を工程順に示す断面図
第1図